

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174275

(P2000-174275A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 H
27/115		27/10	4 3 4
21/8247		29/78	3 0 1 Q
29/788			3 7 1
29/792			

審査請求 有 請求項の数16 O L (全 14 頁)

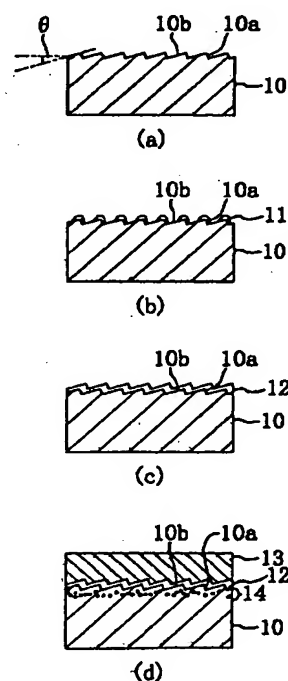
(21) 出願番号	特願平11-260737	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成11年9月14日 (1999.9.14)	(72) 発明者	丹羽 正昭 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願平10-279914	(74) 代理人	100077931 弁理士 前田 弘 (外1名)
(32) 優先日	平成10年10月1日 (1998.10.1)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 MOS型ヘテロ構造、該構造を備えた半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体基板中の構造欠陥が低減されたMOS型ヘテロ構造、或いは、半導体基板上の絶縁膜における半導体基板との界面の近傍に構造遷移層が存在しないMOS型ヘテロ構造を提供する。

【解決手段】 シリコン基板10に、その表面のシリコン原子を再配列させることにより、複数のステップ10aと複数のテラス10bとを形成した後、シリコン基板10の表面が汚染されることを防止しつつ該表面に対して熱酸化を行なって、ステップ10a上に結晶質二酸化シリコンつまり結晶質酸化物11をエピタキシャル成長させる。結晶質酸化物11をテラス10bの表面に沿ってさらにエピタキシャル成長させることによって、シリコン基板10上において2次元的に連続する結晶質酸化物膜12を形成する。シリコン基板10上に結晶質酸化物膜12からなるゲート絶縁膜を介してゲート電極13を形成する。



1

【特許請求の範囲】

【請求項1】 単結晶シリコン基板と、前記単結晶シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成された導電膜とを備えたMOS型ヘテロ構造であって、前記単結晶シリコン基板は、その表面のシリコン原子が再配列することによって形成された複数のテラスと、該複数のテラス同士の境界部に位置する複数のステップとを有しており、

前記絶縁膜は、前記ステップ上にエピタキシャル成長した結晶質二酸化シリコンを含んでいることを特徴とするMOS型ヘテロ構造。

【請求項2】 前記結晶質二酸化シリコンは、前記単結晶シリコン基板上において二次元的に連続する結晶膜を構成していることを特徴とする請求項1に記載のMOS型ヘテロ構造。

【請求項3】 前記結晶膜は、前記結晶質二酸化シリコンが前記テラスの表面に沿ってさらにエピタキシャル成長することにより形成されていることを特徴とする請求項2に記載のMOS型ヘテロ構造。

【請求項4】 前記絶縁膜の厚さは4nm以下であることを特徴とする請求項2又は3に記載のMOS型ヘテロ構造。

【請求項5】 前記絶縁膜は前記結晶膜上に形成された誘電体膜をさらに含んでいることを特徴とする請求項2又は3に記載のMOS型ヘテロ構造。

【請求項6】 前記誘電体膜の比誘電率は二酸化シリコン膜の比誘電率よりも高いことを特徴とする請求項5に記載のMOS型ヘテロ構造。

【請求項7】 前記単結晶シリコン基板の表面におけるミスオリエンテーション角は、1～30度の範囲内にあることを特徴とする請求項1に記載のMOS型ヘテロ構造。

【請求項8】 単結晶シリコン基板と、前記単結晶シリコン基板上に形成された複数のMOS型トランジスタとを備えた半導体装置であって、前記複数のMOS型トランジスタのそれぞれは、前記単結晶シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記単結晶シリコン基板内のチャネル領域と、前記チャネル領域と電気的に接続されるソース領域及びドレイン領域とを備え、

前記単結晶シリコン基板は、その表面のシリコン原子が再配列することによって形成された複数のテラスと、該複数のテラス同士の境界部に位置する複数のステップとを有しており、前記絶縁膜は、前記ステップ上にエピタキシャル成長した結晶質二酸化シリコンを含んでいることを特徴とする半導体装置。

【請求項9】 前記結晶質二酸化シリコンは、前記単結晶シリコン基板上において二次元的に連続する結晶膜を

2

構成していることを特徴とする請求項8に半導体装置。

【請求項10】 前記結晶膜は、前記結晶質二酸化シリコンが前記テラスの表面に沿ってさらにエピタキシャル成長することにより形成されていることを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記ステップは、実質的にチャネル長方向に沿って延びていることを特徴とする請求項9又は10に記載の半導体装置。

【請求項12】 前記MOS型トランジスタは、前記ゲート電極に容量結合されたコントロールゲートをさらに備えていると共に、前記ゲート電極がフローティングゲートとして機能する不揮発性メモリセルを構成しており、

前記ステップは、チャネル長方向と実質的に交差するように延びていることを特徴とする請求項9又は10に記載の半導体装置。

【請求項13】 単結晶シリコン基板と、前記単結晶シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成された導電膜とを備えたMOS型ヘテロ構造を有する半導体装置の製造方法であって、

前記単結晶シリコン基板に、その表面のシリコン原子を再配列させることによって、複数のテラスと、該複数のテラス同士の境界部に位置する複数のステップとを形成する表面処理工程と、

前記単結晶シリコン基板の表面が汚染されることを防止しつつ該表面に対して熱酸化を行なうことによって、前記ステップ上に、前記絶縁膜の少なくとも一部となる結晶質二酸化シリコンをエピタキシャル成長させるエピタキシャル成長工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項14】 前記エピタキシャル成長工程は、前記結晶質二酸化シリコンを前記テラスの表面に沿ってさらにエピタキシャル成長させることによって、前記単結晶シリコン基板上において二次元的に連続する結晶膜を形成する工程をさらに含んでいることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記エピタキシャル成長工程は、前記絶縁膜の厚さが4nmを越えないように前記熱酸化を行なう工程をさらに含んでいることを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 前記エピタキシャル成長工程の後に、前記結晶膜上に二酸化シリコン膜の比誘電率よりも高い比誘電率を有する誘電体膜を堆積する工程をさらに備えていることを特徴とする請求項14に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS型ヘテロ構造、該構造を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来から、電界効果型のトランジスタとして金属-絶縁物-半導体構造（以下、MOS型ヘテロ構造と称する）を備えたMOS電界効果型トランジスタが用いられている。

【0003】以下、従来のMOS電界効果型トランジスタの製造方法について図9（a）～（d）を参照しながら説明する。

【0004】まず、図9（a）に示すように、通常の単結晶シリコンからなる半導体基板つまりシリコン基板50を用意した後、図9（b）に示すように、シリコン基板50の表面に熱酸化法によりシリコン酸化膜51を形成する。このとき、シリコン酸化膜51は主として非晶質（アモルファス）の二酸化シリコン（ SiO_2 ）から形成されている。

【0005】次に、シリコン酸化膜51上に多結晶シリコン膜等の導電性薄膜（図示省略）を堆積した後、ゲート電極形成領域を覆うレジストパターン（図示省略）をマスクとして該導電性薄膜及びシリコン酸化膜51に対して順次エッチングを行なって、図9（c）に示すように、シリコン基板50上にシリコン酸化膜51からなるゲート絶縁膜52を介してゲート電極53を形成する。

【0006】次に、図9（d）に示すように、ゲート電極53の側面に側壁酸化膜54を形成した後、ゲート電極53及び側壁酸化膜54をマスクとしてシリコン基板50に対して不純物をドーピングしてソース領域55及びドレイン領域56を形成する。このとき、シリコン基板50とゲート電極53との間に所定の電圧が印加されると、図9（d）に示すように、シリコン基板50におけるゲート絶縁膜52との界面の近傍にチャンネル57が形成される。

【0007】

【発明が解決しようとする課題】しかしながら、前記のMOS電界効果型トランジスタの製造方法においては、ゲート絶縁膜52となるシリコン酸化膜51を形成するためにシリコン基板50の表面に対して熱酸化を行なったときに、シリコン基板50の表面に成長するシリコン酸化膜51の体積膨張に伴って、シリコン基板50とシリコン酸化膜51との間の界面（以下、シリコン/熱酸化膜界面と称する）に歪みが発生する。このため、シリコン基板50中に構造欠陥が生成されて界面準位の形成原因が生じる。界面準位はキャリアのトラップサイトとして作用するので、ゲート絶縁膜52の絶縁破壊又はチャンネル57中におけるキャリア移動度の劣化等が引き起こされて、MOS電界効果型トランジスタの特性が劣化すると共に該トランジスタの高速動作が妨げられる。

【0008】図10（a）は、前記のMOS電界効果型トランジスタの製造方法により形成されたMOS電界効果型トランジスタにおけるシリコン/熱酸化膜界面の近傍の様子を示し、図10（b）は、該シリコン/熱酸化

膜界面の近傍における伝導帯及び価電子帯のエネルギーレベルを示している。

【0009】図10（a）に示すように、前記のMOS電界効果型トランジスタの製造方法を用いた場合、シリコン基板50の表面にシリコン酸化膜51を形成するときに、シリコン基板50の表面に対する不完全な酸化に起因して、シリコン酸化膜51におけるシリコン基板50との界面の近傍に、厚さ0.2～0.3nm程度の薄い亜酸化層（ SiO_x （ $x \leq 1.7$ ））からなる構造遷移層51aが形成される。尚、構造遷移層51aの上には厚さ数nmの通常非晶質 SiO_2 層51bが形成されている。構造遷移層51aは、シリコン基板（ Si ）50とシリコン酸化膜（ SiO_2 ）51との間に生じる応力を緩和する作用を有している。一方、構造遷移層51a中の結合はチャンネル57中を走行する電子によって切断されやすいため、言い換えると、構造遷移層51aは電子、つまりホットエレクトロンの侵入によって容易に破壊されるため、構造遷移層51aは電気的に不安定である。

【0010】また、図10（b）に示すように、シリコン酸化膜51中つまりゲート絶縁膜52中における伝導帯のエネルギーレベル e_1 及び価電子帯のエネルギーレベル e_2 は、構造遷移層51aを含むシリコン酸化膜51中の広い領域で曲がっている（以下、ベンディング現象と称する）。このベンディング現象によってシリコン酸化膜51のバンドギャップがシリコン/熱酸化膜界面に近づくに従って大きく減少する結果、シリコン酸化膜51つまりゲート絶縁膜52の耐圧及び信頼性が低下する。

【0011】また、ゲート絶縁膜52となるシリコン酸化膜51が薄くなるに伴って、シリコン酸化膜51における構造遷移層51aが占める割合が大きくなるので、シリコン/熱酸化膜界面の構造に起因するトランジスタ特性の変動及び不良は深刻なものとなる。

【0012】具体的には、構造遷移層51aの厚さは0.2～0.3nm程度であると共にシリコン酸化膜51におけるバンドギャップが減少している部分の厚さは1nm程度に達する一方、シリコン酸化膜51の厚さを減少させても構造遷移層51aの厚さを減少させることはできない。このため、シリコン酸化膜51の薄膜化はシリコン酸化膜51における構造遷移層51aが占める割合の増大を招くと同時に、シリコン酸化膜51におけるバンドギャップが減少している部分が占める割合の増大を招くので、シリコン酸化膜51つまりゲート絶縁膜52の耐圧が一層劣化する。

【0013】さらに、シリコン酸化膜51における構造遷移層51aが占める割合が増大すると、シリコン酸化膜51の膜厚が不均一化したり、或いはシリコン/熱酸化膜界面の凹凸（ラフネス）が増大したりするという問題が生じる。シリコン酸化膜51つまりゲート絶縁膜5

5

2の膜厚が不均一である場合、或いはシリコン/熱酸化膜界面のラフネスが大きい場合、チャネル57中の電子はシリコン/熱酸化膜界面の凹凸を感じながら走行するので、電子の散乱確率が大きくなる。このとき、電界効果型トランジスタの寸法が微細化されるに伴って、実効的な垂直電界強度（シリコン/熱酸化膜界面に対して垂直な電界の強度）が増大するので、電子の散乱現象は一層顕著になる。従って、MOS電界効果型トランジスタを微細化するためにゲート絶縁膜52を薄膜化した場合、チャネル57中における電子移動度の低下つまり相互コンダクタンスの低下が生じて、MOS電界効果型トランジスタ特性の向上が妨げられる。

【0014】前記に鑑み、本発明は、半導体基板中の構造欠陥が低減されたMOS型ヘテロ構造を提供することを第1の目的とし、半導体基板上の絶縁膜における半導体基板との界面の近傍に構造遷移層が存在しないMOS型ヘテロ構造を提供することを第2の目的とする。

【0015】

【課題を解決するための手段】前記の第1の目的を達成するために、本発明に係るMOS型ヘテロ構造は、単結晶シリコン基板と、単結晶シリコン基板上に形成された絶縁膜と、絶縁膜上に形成された導電膜とを備えたMOS型ヘテロ構造を前提とし、単結晶シリコン基板は、その表面のシリコン原子が再配列することによって形成された複数のテラスと、該複数のテラス同士の境界部に位置する複数のステップとを有しており、絶縁膜は、ステップ上にエピタキシャル成長した結晶質二酸化シリコンを含んでいる。

【0016】本発明のMOS型ヘテロ構造によると、単結晶シリコン基板が、その表面のシリコン原子が再配列することによって形成された複数のテラスと複数のステップとを有していると共に、絶縁膜がステップ上にエピタキシャル成長した結晶質二酸化シリコンを含んでいる。このため、絶縁膜の形成時に、単結晶シリコン基板と結晶質二酸化シリコンとの界面における結晶格子連続性が保持されて、該界面の近傍において大きな応力は生じないので、単結晶シリコン基板中に構造欠陥が発生する事態を抑制できる。

【0017】前記の第2の目的を達成するために、本発明のMOS型ヘテロ構造において、結晶質二酸化シリコンは、単結晶シリコン基板上において二次元的に連続する結晶膜を構成していることが好ましい。

【0018】このようにすると、結晶膜つまり絶縁膜の少なくとも下層における単結晶シリコン基板との界面の近傍に、亜酸化層からなる構造遷移層が形成される事態を防止することができる。

【0019】結晶質二酸化シリコンが結晶膜を構成している場合、結晶膜は、結晶質二酸化シリコンがテラスの表面に沿ってさらにエピタキシャル成長することにより形成されていることが好ましい。

6

【0020】このようにすると、単結晶シリコン基板上において、結晶質二酸化シリコンからなり、二次元的に連続した結晶膜を確実に形成することができる。

【0021】結晶質二酸化シリコンが結晶膜を構成している場合、絶縁膜の厚さは4nm以下であることが好ましい。

【0022】このようにすると、絶縁膜全体を結晶質二酸化シリコンの結晶膜から構成することができる。

【0023】結晶質二酸化シリコンが結晶膜を構成している場合、絶縁膜は結晶膜上に形成された誘電体膜をさらに含んでいることが好ましい。

【0024】このようにすると、結晶膜が薄い場合にも単結晶シリコン基板からのリーク電流を低減することができる。

【0025】絶縁膜が結晶膜上に形成された誘電体膜を含んでいる場合、誘電体膜の比誘電率は二酸化シリコン膜の比誘電率よりも高いことが好ましい。

【0026】このようにすると、絶縁膜の厚さの実質的な増加を抑制しながら、単結晶シリコン基板からのリーク電流を低減することができる。

【0027】本発明のMOS型ヘテロ構造において、単結晶シリコン基板の表面におけるミスオリエンテーション角は、1~30度の範囲内にあることが好ましい。

【0028】このようにすると、単結晶シリコン基板中に界面準位が増大する事態を防止しつつ、単結晶シリコン基板に複数のテラスと複数のステップとを形成することができる。

【0029】前記の第1の目的を達成するために、本発明に係る半導体装置は、単結晶シリコン基板と、単結晶シリコン基板に形成された複数のMOS型トランジスタとを備えた半導体装置を前提とし、複数のMOS型トランジスタのそれぞれは、単結晶シリコン基板上に形成された絶縁膜と、絶縁膜上に形成されたゲート電極と、単結晶シリコン基板内のチャネル領域と、チャネル領域と電気的に接続されるソース領域及びドレイン領域とを備え、単結晶シリコン基板は、その表面のシリコン原子が再配列することによって形成された複数のテラスと、該複数のテラス同士の境界部に位置する複数のステップとを有しており、絶縁膜は、ステップ上にエピタキシャル成長した結晶質二酸化シリコンを含んでいる。

【0030】本発明の半導体装置によると、単結晶シリコン基板が、その表面のシリコン原子が再配列することによって形成された複数のテラスと複数のステップとを有していると共に、絶縁膜がステップ上にエピタキシャル成長した結晶質二酸化シリコンを含んでいる。このため、絶縁膜の形成時に、単結晶シリコン基板と結晶質二酸化シリコンとの界面における結晶格子連続性が保持されて、該界面の近傍において大きな応力は生じないので、単結晶シリコン基板中に構造欠陥が発生する事態を抑制できる。従って、絶縁膜の絶縁破壊やチャネル中に

7

おけるキャリア移動度の劣化等を引き起こす界面準位が単結晶シリコン基板中に生じないので、トランジスタ特性を向上できる共にトランジスタの動作を高速化できる。

【0031】前記の第2の目的を達成するために、本発明の半導体装置において、結晶質二酸化シリコンは、単結晶シリコン基板上において二次元的に連続する結晶膜を構成していることが好ましい。

【0032】このようにすると、結晶膜つまり絶縁膜の少なくとも下層における単結晶シリコン基板との界面の近傍に、亜酸化層からなる構造遷移層が形成される事態を防止することができる。従って、絶縁膜における単結晶シリコン基板との界面の近傍の結合がホットエレクトロンによって切断される事態が防止される。また、ベンディング現象によって絶縁膜のバンドギャップが減少する事態が防止されるので、絶縁膜の耐圧及び信頼性が向上する。

【0033】結晶質二酸化シリコンが結晶膜を構成している場合、結晶膜は、結晶質二酸化シリコンがテラスの表面に沿ってさらにエピタキシャル成長することにより形成されていることが好ましい。

【0034】このようにすると、単結晶シリコン基板上において、結晶質二酸化シリコンからなり、二次元的に連続した結晶膜を確実に形成することができる。

【0035】結晶質二酸化シリコンが結晶膜を構成している場合、ステップは実質的にチャネル長方向に沿って延びていることが好ましい。

【0036】このようにすると、チャネル中のキャリアはステップを横切ることなく、原子レベルで平滑なテラスと結晶膜との界面をソース領域からドレイン領域に向けて走行するので、キャリアの界面散乱は極めて小さくなって、チャネル中におけるキャリア移動度が向上する。

【0037】結晶質二酸化シリコンが結晶膜を構成している場合、MOS型トランジスタは、ゲート電極に容量結合されたコントロールゲートをさらに備えていると共に、ゲート電極がフローティングゲートとして機能する不揮発性メモリセルを構成しており、ステップはチャネル長方向と実質的に交差するように延びていることが好ましい。

【0038】このようにすると、チャネル中のキャリアはステップを横切りながら、ソース領域からドレイン領域に向けて走行するので、ステップの近傍で発生したホットエレクトロンがフローティングゲートへ注入される効率が増大する。

【0039】前記の第1の目的を達成するために、本発明に係る半導体装置の製造方法は、単結晶シリコン基板と、単結晶シリコン基板上に形成された絶縁膜と、絶縁膜上に形成された導電膜とを備えたMOS型ヘテロ構造を有する半導体装置の製造方法を前提とし、単結晶シリ

8

コン基板に、その表面のシリコン原子を再配列させることによって、複数のテラスと、該複数のテラス同士の境界部に位置する複数のステップとを形成する表面処理工程と、単結晶シリコン基板の表面が汚染されることを防止しつつ該表面に対して熱酸化を行なうことによって、ステップ上に、絶縁膜の少なくとも一部となる結晶質二酸化シリコンをエピタキシャル成長させるエピタキシャル成長工程とを備えている。

【0040】本発明に係る半導体装置の製造方法によると、単結晶シリコン基板に、その表面のシリコン原子を再配列させることによって、複数のテラスと複数のステップとを形成した後、ステップ上に、絶縁膜の少なくとも一部となる結晶質二酸化シリコンをエピタキシャル成長させる。このため、絶縁膜の形成時に、単結晶シリコン基板と結晶質二酸化シリコンとの界面における結晶格子連続性が保持されて、該界面の近傍において大きな応力は生じないので、単結晶シリコン基板中に構造欠陥が発生する事態を抑制できる。

【0041】前記の第2の目的を達成するために、本発明の半導体装置の製造方法において、エピタキシャル成長工程は、結晶質二酸化シリコンをテラスの表面に沿ってさらにエピタキシャル成長させることによって、単結晶シリコン基板上において二次元的に連続する結晶膜を形成する工程をさらに含んでいることが好ましい。

【0042】このようにすると、結晶膜つまり絶縁膜の少なくとも下層における単結晶シリコン基板との界面の近傍に、亜酸化層からなる構造遷移層が形成される事態を防止することができる。

【0043】エピタキシャル成長工程が結晶膜を形成する工程を含んでいる場合、エピタキシャル成長工程は、絶縁膜の厚さが4 nmを越えないように熱酸化を行なう工程をさらに含んでいることが好ましい。

【0044】このようにすると、絶縁膜全体を結晶質二酸化シリコンの結晶膜から構成することができる。

【0045】エピタキシャル成長工程が結晶膜を形成する工程を含んでいる場合、エピタキシャル成長工程の後に、結晶膜上に二酸化シリコン膜の比誘電率よりも高い比誘電率を有する誘電体膜を堆積する工程をさらに備えていることが好ましい。

【0046】このようにすると、絶縁膜の厚さの実質的な増加を抑制しながら、単結晶シリコン基板からのリーク電流を低減することができる。

【0047】

【発明の実施の形態】（第1の実施形態）以下、第1の実施形態に係るMOS型ヘテロ構造、該構造を備えた半導体装置及びその製造方法について、図面を参照しながら説明する。第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置は、単結晶シリコン基板を用いて形成されたMOS電界効果型トランジスタを有している。尚、この半導体装置は、公知の半導体集積回路と同様

に、実際にはトランジスタ以外の回路要素、配線構造及び素子分離構造等を含んでいるが、図面では簡単化のためトランジスタのMOS型ヘテロ構造部分のみを示している。

【0048】図1(a)～(d)は、第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の製造方法の各工程を示す断面図である。

【0049】まず、図1(a)に示すように、真空中の加熱清浄化法(特開平9-51097参照)又はシリコンのホモエピタキシャル成長法等を用いて、単結晶シリコン基板10(以下、単にシリコン基板10とする)の(001)面上に(001)清浄表面を形成する。

【0050】具体的には、シリコン基板10はミスオリエンテーション基板であって、その主面と(001)面との間のミスオリエンテーション角 θ は例えば 5° である。ミスオリエンテーション基板であるシリコン基板10に対して、前記の真空中の加熱清浄化法又はシリコンのホモエピタキシャル成長法等による表面処理を行なうと、清浄化されたシリコン基板10の最表面においてシリコン原子の再配列現象が進行する結果、図1(a)に示すように、シリコン基板10の表面に複数のステップ10aと複数のテラス10bとが形成される。尚、真空中の加熱清浄化法やシリコンのホモエピタキシャル成長法による表面処理に代えて、温水洗浄、過酸化水素水を混入させたパフファードフッ酸処理、過酸化水素水の濃度を増加させた改良SC-1洗浄、又は希釈フッ酸処理等のウェット処理等を用いてもよい。

【0051】シリコン基板10の表面において、各ステップ10aは、隣接するテラス10bの境界部に形成されている。言い換えると、各ステップ10aを挟んで、相対的に高い位置にあるテラス10b(上側テラス)と相対的に低い位置にあるテラス10b(下側テラス)とが隣接している。また、各ステップ10a及び各テラス10bは $[11-0]$ 方向(但し、 $[\]$ 中の負の符号(-)は、直前の指数の反転を表す)に沿って延びている。さらに、各テラス10bの上面は(001)面であり、微視的(原子レベル)スケールで平滑であると共に、各ステップ10aの高さはシリコン原子の2原子層の厚さ程度である。

【0052】以上に説明したようなステップ10a及びテラス10bが形成されたシリコン基板10の表面形態は、 $(Si(001)-2\times 1)$ と表記される。 $Si(001)-2\times 1$ 表面形態を有するシリコン基板10の表面においては、シリコン基板10のミスオリエンテーション角 θ が大きくなるに従って、ステップ10aの密度が高くなる。例えば、ミスオリエンテーション角 θ が 5° のシリコン基板10に対して、約 $1000^\circ C$ の温度下で真空中の加熱清浄化を10～20秒程度行なった場合、ステップ10aの間隔つまりテラス10bの幅は約3nm程度となる。

【0053】ところで、各テラス10bの最表面に位置するシリコン原子は、2量体(以下、ダイマーと称する)からなる原子配列(以下、ダイマー列と称する)を形成している。ミスオリエンテーション角 θ が小さい場合、隣接するテラス10b上における各ダイマー列の方向は互いに直交する一方、本実施形態のようにミスオリエンテーション角 θ が大きい場合、全てのテラス10b上におけるダイマー列の方向は同一になる。

【0054】次に、 $Si(001)-2\times 1$ 表面形態を有するシリコン基板10の表面に対して熱酸化を行なう。具体的には、シリコン基板10を $800^\circ C$ に加熱すると共に分圧10 Torrの乾燥酸素ガス中に60分間程度さらす。このとき、シリコン基板10の表面には約 10^{16} 個/ cm^2 の酸素が供給される。尚、前記の熱酸化に用いる乾燥酸素ガスは、精製機により得られた100%の高純度酸素ガスを液体窒素に通して水分を十分に除去することにより生成されたものである。

【0055】前記の熱酸化の初期段階においては、図1(b)に示すように、ステップ10a上に結晶質酸化物11、具体的には結晶質二酸化シリコンがエピタキシャル成長する。結晶質酸化物11はステップ10aの結晶構造に対応した結晶構造を有している。また、テラス10b上では結晶質酸化物のエピタキシャル成長は生じない一方、ステップ10a上に形成された結晶質酸化物11がテラス10bの表面に沿ってエピタキシャル成長を続ける結果、テラス10b(上側テラス及び下側テラス)上におけるステップ10aの近傍の部分にも結晶質酸化物11が形成される。

【0056】従って、ミスオリエンテーション角 θ を大きくしてステップ10a同士の間隔を狭くすることによって、隣接するステップ10a上に形成された各結晶質酸化物11同士を連結させることができる。具体的には、ミスオリエンテーション角 θ が例えば 5° 以上である場合、ステップ間隔が例えば3nm以下になるため、隣接するステップ10a上に形成された各結晶質酸化物11が互いに連結して、図1(c)に示すように、厚さ1～2nm程度の2次元的に連続した結晶質酸化物膜12がシリコン基板10上に形成される。但し、ミスオリエンテーション角 θ が大きくなるに従って、シリコン基板10中に界面準位が増大するという不都合が生じるので、結晶質酸化物膜12を形成するのに適したシリコン基板10のミスオリエンテーション角 θ は $1\sim 30^\circ$ 程度である。また、結晶質酸化物膜12の厚さは、エピタキシャル成長時の基板温度又は酸素分圧に依存して決まる一方、結晶質酸化物膜12の厚さが約4nm程度に達するとその成膜速度は急激に低下するので、前記の熱酸化方法は、厚さ4nm程度のゲート絶縁膜を再現性良く形成するのに適している。

【0057】通常の熱酸化により、シリコン基板(Si)上に非晶質のシリコン酸化膜(SiO_2)を形成し

11

た場合、SiがSiO₂になるときに約2.2倍の体積膨張があるため、シリコン基板におけるシリコン酸化膜との界面の近傍には引っ張り応力が発生すると共にシリコン酸化膜におけるシリコン基板との界面の近傍には圧縮応力が発生する。それに対して、前記の熱酸化方法により、シリコン基板10上に結晶質酸化物膜12を形成した場合、シリコン基板10の原子構造に基づいて結晶質酸化物膜12のエピタキシャル成長が進行するため、結晶質酸化物膜12の体積膨張が極めて小さくなると共に結晶質酸化物膜12内部の応力がバランスする。このため、シリコン基板10と結晶質酸化物膜12との界面における結晶格子連続性が保持されて、該界面の近傍においても大きな応力は生じないので、シリコン基板10中に積層欠陥又は双晶等の構造欠陥が発生する事態を抑制できる。従って、結晶質酸化物膜12の形成後に、通常行なわれるようなアニール処理は不要となる。

【0058】透過電子顕微鏡による断面観察又は電子線回折の結果によると、結晶質酸化物膜12はβクリストバライト構造、特に最も応力歪みの小さい擬βクリストバライト構造を有していると考えられる。擬βクリストバライト構造の二酸化シリコンにおいては、Si-Oの結合長が0.161~0.167nmの範囲内にあると共に、O-Si-Oの結合角が95~130°の範囲内にある。

【0059】尚、ミスオリエンテーション角θを小さくした場合、ステップ10a同士の間隔が広がるため、隣接するステップ10a上に形成された各結晶質酸化物11は互いに孤立してしまう。具体的には、例えばミスオリエンテーション角が0°の通常のシリコン基板に対して前記の熱酸化を行なった場合、熱酸化の初期においては厚さ4nm程度の結晶質酸化物がシリコン基板上に部分的に成長する一方、熱酸化が進むに従って非晶質酸化膜の成長が始まるため、下部に複数の孤立した結晶質酸化物を含む1枚の非晶質酸化膜が形成される。このため、シリコン基板と酸化膜との界面には、実質的に結晶-非晶質構造が形成されるので、酸化膜の熱膨張に起因する応力の影響がシリコン基板に及ぶ結果、シリコン基板中に構造欠陥が発生する。

【0060】次に、結晶質酸化物膜12上に例えばCVD法によりポリシリコン膜(図示省略)を堆積した後、ゲート電極形成領域を覆うレジストパターン(図示省略)をマスクとして該ポリシリコン膜及び結晶質酸化物膜12に対して順次エッチングを行なって、図1(d)に示すように、シリコン基板10上に結晶質酸化物膜12からなるゲート絶縁膜を介してゲート電極13を形成する。その後、通常のMOSトランジスタの製造工程と同様の工程を行なって半導体装置を完成させる。このとき、シリコン基板10とゲート電極13との間に所定の電圧が印加されると、図1(d)に示すように、シリコン基板10におけるゲート絶縁膜つまり結晶質酸化物膜

12

12との界面の近傍にチャンネル14が形成される。

【0061】図2は、第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置、具体的にはMOS電界効果型トランジスタの平面構成を示している。尚、図2においては、ゲート絶縁膜つまり結晶質酸化物膜12、及びゲート電極13の図示を省略している。また、図2において、シリコン基板10の表面に形成されたステップ10aの延びる様子を破線で示している。すなわち、図2において、シリコン基板10上における破線に挟まれた領域はテラス10bを示している。また、各ステップ10aの形状及び各テラス10bの形状は、結晶質酸化物膜12の形成後も変化していない。

【0062】図2に示すように、ステップ10aがチャンネル長方向に沿って延びるように、シリコン基板10におけるソース領域15及びドレイン領域16の位置が規定されて、該位置に不純物ドーピングが行なわれている。従って、チャンネル14中のキャリア(電子)はステップ10aを横切ることなく、原子レベルで平滑なテラス10bと結晶質酸化物膜12との界面をソース領域15からドレイン領域16に向けて(図2の矢印方向に)走行するので、キャリアの界面散乱は極めて小さくなって、チャンネル14中におけるキャリア移動度が向上する。このとき、ミスオリエンテーション角θが大きくなるに従って、言い換えると、各ステップ10aの高さが高くなるに従って、チャンネル14中におけるキャリア移動度が一層向上する。

【0063】第1の実施形態に係るMOS型ヘテロ構造によると、シリコン基板10つまり単結晶シリコン基板の表面にシリコン原子の再配列によって複数のステップ10a及び複数のテラス10bが形成されていると共に、ステップ10a上にエピタキシャル成長した結晶質二酸化シリコン(結晶質酸化物膜11)からなる絶縁膜(結晶質酸化物膜12)がシリコン基板10上に形成されている。このため、絶縁膜の形成時に、シリコン基板10と絶縁膜との界面における結晶格子連続性が保持されて、該界面の近傍において大きな応力は生じないので、シリコン基板10中に構造欠陥が発生する事態を抑制できる。従って、第1の実施形態に係るMOS型ヘテロ構造を備えたMOS電界効果型トランジスタによると、ゲート絶縁膜となる結晶質酸化物膜12の絶縁破壊やチャンネル14中におけるキャリア移動度の劣化等を引き起こす界面準位がシリコン基板10中に生じないので、トランジスタ特性を向上させることができる共にトランジスタの動作を高速化できる。

【0064】図3(a)は、第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置、具体的にはMOS電界効果型トランジスタにおける、シリコン基板10と結晶質酸化物膜12との界面の近傍の様子を示し、図3(b)は、該界面の近傍における伝導帯及び価電子帯のエネルギーレベルを示している。

13

【0065】図3(a)に示すように、ゲート絶縁膜となる結晶質酸化物膜12におけるシリコン基板10との界面の近傍には、亜酸化層からなる構造遷移層(図10(a)参照)は存在しない。従って、ゲート絶縁膜におけるシリコン基板10との界面の近傍の結合がホットエレクトロンによって切断される事態が防止される。また、結晶質酸化物膜12つまりゲート絶縁膜を薄膜化した場合にも、構造遷移層が存在しないので、ゲート絶縁膜の膜厚の不均一化、又はシリコン基板10とゲート絶縁膜との界面におけるラフネスの増大等を抑制できる。

【0066】また、図3(a)に示すように、シリコン基板10と結晶質酸化物膜12との界面が、従来の結晶-非晶質構造ではなく結晶-結晶構造を有するので、チャネル14中のキャリアが、従来のように不連続界面におけるランダムなポテンシャル散乱を受ける事態が防止される。また、一般的に、熱によって非晶質から結晶質に相変化が生じることはあっても、結晶質から非晶質に相変化が生じることはないので、図3(a)に示すシリコン基板10と結晶質酸化物膜12との界面における結晶-結晶構造は熱的に安定している。

【0067】さらに、図3(b)に示すように、結晶質酸化物膜12つまりゲート絶縁膜中における伝導帯のエネルギーレベル E_1 及び価電子帯のエネルギーレベル E_2 はフラットである。従って、ベンディング現象によってゲート絶縁膜のバンドギャップが減少する事態が防止されるので、ゲート絶縁膜の耐圧及び信頼性が向上する。

【0068】尚、第1の実施形態に係るMOS型ヘテロ構造において、シリコン基板10上に形成される絶縁膜の厚さは4nm以下であることが好ましい。このようにすると、該絶縁膜全体が結晶質酸化物膜12つまり結晶質二酸化シリコン層から構成されることになるので、例えば、ゲート絶縁膜を極薄化しつつ、MOS電界効果型トランジスタの信頼性を向上させることができる。

【0069】また、第1の実施形態に係るMOS型ヘテロ構造を備えたMOS電界効果型トランジスタにおいて、厚さ4nm以下の結晶質酸化物膜12からなるゲート絶縁膜を用いたが、これに代えて、厚さ4nm以下の結晶質酸化物膜と、該結晶質酸化物膜上に形成された非晶質の二酸化シリコン層とからなるゲート絶縁膜を用いてもよい。この場合も、ゲート絶縁膜におけるシリコン基板との界面の近傍には、構造遷移層が存在しないので、図3(b)に示す伝導帯及び価電子帯のエネルギーレベルつまりバンドギャップが実現されるので、ゲート絶縁膜の耐圧及び信頼性が向上して、優れたトランジスタ特性が得られる。

【0070】ところで、反射高速電子回折(RHEED)を用いて結晶質酸化物膜12の成長を観察することができる。より詳細には、熱酸化中つまり酸素暴露中にシリコン基板10の表面に微小角度で電子線を照射し

14

て、全反射した反射電子の回折像に基づき結晶質酸化物膜12の形成に伴って変化する結晶表面構造のパターンが得られる。

【0071】図4(a)~(c)は、シリコン基板10の表面を[110]方向から観察したRHEEDパターン(像)を示している。図4(a)~(c)においては、ミスオリエンテーション角 θ が大きいシリコン基板10の表面上に様々な微斜面が存在している構造に対応するRHEED像が現れている。実際には、前記の微斜面つまり傾斜面のRHEED像は矢印型のストリークを引くが、簡便のため図4(a)~(c)においては傾斜面のRHEED像をスポット状に示す。

【0072】図4(a)は、シリコン基板10上に結晶質酸化物11が形成される前の状態におけるRHEED像を示しており、黒丸は(004)、(113)、及び(111)等の回折点を表す。

【0073】図4(b)は、シリコン基板10の表面に酸素を吹き付けて結晶質酸化物11が形成された状態におけるRHEED像を示しており、四角は、シリコン基板10の表面に成長した結晶質酸化物11に対応する(444)、(226)、及び(222)等の回折点を表す。

【0074】図4(c)は、引き続き酸化処理を継続して、シリコン基板10上に形成された結晶質酸化物膜12の上にさらに非晶質の二酸化シリコン層が形成された状態におけるRHEED像を示している。図4(c)においては、図4(a)及び図4(b)に示す結晶質相に対応する回折点つまりスポットは全て消失して、代わりにハローが出現している。

【0075】以上に説明したように、熱酸化中つまり酸化処理中のシリコン基板10の表面をRHEEDを用いて観察することにより、シリコン基板10の表面に生じる構造変化をリアルタイムで把握することができる。

【0076】(第2の実施形態)以下、第2の実施形態に係るMOS型ヘテロ構造、該構造を備えた半導体装置及びその製造方法について、図面を参照しながら説明する。第2の実施形態に係るMOS型ヘテロ構造を備えた半導体装置は、単結晶シリコン基板を用いて形成されたMOS電界効果型トランジスタを有している。尚、この半導体装置は、公知の半導体集積回路と同様に、実際にはトランジスタ以外の回路要素、配線構造及び素子分離構造等を含んでいるが、図面では簡単化のためトランジスタのMOS型ヘテロ構造部分のみを示している。

【0077】図5(a)~(e)は、第2の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の製造方法の各工程を示す断面図である。

【0078】まず、図5(a)に示すように、真空中の加熱清浄化法又はシリコンのホモエピタキシャル成長法等を用いて、単結晶シリコン基板20(以下、単にシリコン基板20とする)の(001)面上に(001)清

10

20

30

40

50

浄表面を形成する。

【0079】具体的には、シリコン基板20はミスオリエンテーション基板であって、その主面と(001)面との間のミスオリエンテーション角 θ は例えば 5° である。ミスオリエンテーション基板であるシリコン基板20に対して、前記の真空中の加熱清浄化法又はシリコンのホモエピタキシャル成長法等による表面処理を行なうと、第1の実施形態と同様に清浄化されたシリコン基板20の最表面においてシリコン原子の再配列現象が進行する結果、図5(a)に示すように、シリコン基板20の表面に複数のステップ20aと複数のテラス20bとが形成される。

【0080】次に、Si(001)- 2×1 表面形態を有するシリコン基板20の表面に対して熱酸化を行なう。具体的には、シリコン基板20を電気炉において800℃程度に加熱すると共に分圧10 Torrの乾燥酸素ガス中に60分間程度さらす。尚、前記の熱酸化に用いる乾燥酸素ガスは、精製機により得られた100%の高純度酸素ガスを液体窒素に通して水分を十分に除去することにより生成されたものである。

【0081】このようにすると、前記の熱酸化の初期段階においては、図5(b)に示すように、ステップ20a上に結晶質酸化物21、具体的には結晶質二酸化シリコンがエピタキシャル成長する。結晶質酸化物21はステップ20aの結晶構造に対応した結晶構造を有している。また、テラス20b上では結晶質酸化物のエピタキシャル成長は生じない一方、ステップ20a上に形成された結晶質酸化物21がテラス20bの表面に沿ってエピタキシャル成長を続ける結果、テラス20b(上側テラス及び下側テラス)上におけるステップ20aの近傍の部分にも結晶質酸化物21が形成される。

【0082】また、本実施形態のようにミスオリエンテーション角 θ が 5° である場合、ステップ間隔は3nm程度であるため、前記の熱酸化が進むに従って、隣接するステップ20a上に形成された各結晶質酸化物21が互いに連結して、図5(c)に示すように、厚さ1~2nm程度の2次元的に連続した結晶質酸化物膜22がシリコン基板20上に形成される。

【0083】次に、図5(d)に示すように、結晶質酸化物膜22の上に、例えばタンタル酸化膜23を堆積する。尚、タンタル酸化膜23の比誘電率は結晶質酸化物膜22つまりシリコン酸化膜(SiO₂)の比誘電率に比べて約6倍高いため、比較的厚いタンタル酸化膜23を形成しても、その厚さはシリコン酸化膜の厚さに換算すると実際のタンタル酸化膜23の厚さの1/6程度になる。このため、タンタル酸化膜23の付加は、ゲート絶縁膜の厚さの実質的な増加を抑制しながら、ゲートリーク電流の低減に寄与する。特に、本実施形態においては、ゲート絶縁膜の下層となる結晶質酸化物膜22の膜厚が非常に薄いため、タンタル酸化膜23を設けない場

合、ゲートリーク電流が増大する可能性がある。

【0084】具体的には、結晶質酸化物膜22が形成されたシリコン基板20を410℃に加熱して定常状態に保った後、Ta(OC₂H₅)₅とO₂との混合ガスを用いたCVD法によって結晶質酸化物膜22上に膜厚15nmのタンタル酸化膜23を成長させ、その後、不活性ガス中においてタンタル酸化膜23に対して800℃の温度下で1分間程度のアニールを行なう。

【0085】次に、タンタル酸化膜23上に例えばLP CVD法によりポリシリコン膜(図示省略)を堆積した後、ゲート電極形成領域を覆うレジストパターン(図示省略)をマスクとして該ポリシリコン膜、タンタル酸化膜23及び結晶質酸化物膜22に対して順次エッチングを行なって、図5(e)に示すように、シリコン基板20上に、結晶質酸化物膜22及びタンタル酸化膜23からなるゲート絶縁膜を介してゲート電極24を形成する。その後、通常のMOSトランジスタの製造工程と同様の工程を行なって半導体装置を完成させる。このとき、シリコン基板20とゲート電極24との間に所定の電圧が印加されると、図5(e)に示すように、シリコン基板20におけるゲート絶縁膜の下層つまり結晶質酸化物膜22との界面の近傍にチャンネル25が形成される。

【0086】図6は、第2の実施形態に係るMOS型ヘテロ構造を備えた半導体装置、具体的にはMOS電界効果型トランジスタの平面構成を示している。尚、図6においては、ゲート絶縁膜つまり結晶質酸化物膜22及びタンタル酸化膜23、並びにゲート電極24の図示を省略している。また、図6において、シリコン基板20の表面に形成されたステップ20aの延びる様子を破線で示している。すなわち、図6において、シリコン基板20上における破線に挟まれた領域はテラス20bを示している。また、各ステップ20aの形状及び各テラス20bの形状は、結晶質酸化物膜22の形成後も変化していない。

【0087】図6に示すように、ステップ20aがチャンネル長方向に沿って延びるように、シリコン基板20におけるソース領域26及びドレイン領域27の位置が規定されて、該位置に不純物ドーピングが行なわれている。従って、チャンネル25中のキャリア(電子)はステップ20aを横切ることなく、原子レベルで平滑なテラス20bと結晶質酸化物膜22との界面をソース領域26からドレイン領域27に向けて(図6の矢印方向に)走行するので、キャリアの界面散乱は極めて小さくなって、チャンネル25中におけるキャリア移動度が向上する。

【0088】第2の実施形態に係るMOS型ヘテロ構造によると、シリコン基板20つまり単結晶シリコン基板の表面にシリコン原子の再配列によって複数のステップ20a及び複数のテラス20bが形成されていると共に、ステップ20a上にエピタキシャル成長した結晶質

17

二酸化シリコン（結晶質酸化物膜21つまり結晶質酸化物膜22）を含む絶縁膜がシリコン基板20上に形成されている。このため、絶縁膜の形成時に、シリコン基板20と結晶質酸化物膜22との界面における結晶格子連続性が保持されて、該界面の近傍において大きな応力は生じないので、シリコン基板20中に構造欠陥が発生する事態を抑制できる。従って、第2の実施形態に係るMOS型ヘテロ構造を備えたMOS電界効果型トランジスタによると、ゲート絶縁膜の下層となる結晶質酸化物膜22の絶縁破壊やチャネル25中におけるキャリア移動度の劣化等を引き起こす界面準位がシリコン基板20中に生じないので、トランジスタ特性を向上させることができる共にトランジスタの動作を高速化できる。

【0089】また、第2の実施形態に係るMOS型ヘテロ構造によると、結晶質酸化物膜22がシリコン基板20上において二次元的に連続しているため、結晶質酸化物膜22を含む絶縁膜におけるシリコン基板20との界面の近傍に、亜酸化層からなる構造遷移層が形成される事態を防止することができる。従って、第2の実施形態に係るMOS型ヘテロ構造を備えたMOS電界効果型トランジスタによると、ゲート絶縁膜を構成する結晶質酸化物膜22におけるシリコン基板20との界面の近傍の結合がホットエレクトロンによって切断される事態が防止される。また、ベンディング現象によってゲート絶縁膜のバンドギャップが減少する事態が防止されるので、ゲート絶縁膜の耐圧及び信頼性が向上する。

【0090】さらに、第2の実施形態に係るMOS型ヘテロ構造によると、結晶質酸化物膜22の上に、結晶質酸化物膜22よりも比誘電率の高いタンタル酸化膜23を堆積して、結晶質酸化物膜22及びタンタル酸化膜23からなる絶縁膜をシリコン基板20上に形成しているため、結晶質酸化物膜22が薄い場合にも絶縁膜の厚さの実質的な増加を抑制しながら、シリコン基板20からのリーク電流を低減することができる。

【0091】尚、第2の実施形態に係るMOS型ヘテロ構造において、結晶質酸化物膜22の上にタンタル酸化膜23を堆積したが、これに代えて、他の誘電体膜を堆積してもよい。この場合、誘電体膜の比誘電率は二酸化シリコン膜の比誘電率よりも高いことが好ましい。

【0092】（第3の実施形態）以下、第3の実施形態に係るMOS型ヘテロ構造、該構造を備えた半導体装置及びその製造方法について、図面を参照しながら説明する。第3の実施形態に係るMOS型ヘテロ構造を備えた半導体装置は、単結晶シリコン基板を用いて形成された不揮発性メモリセルを有している。

【0093】図7（a）～（f）は、第3の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の製造方法の各工程を示す断面図である。

【0094】まず、図7（a）に示すように、真空中の加熱清浄化法又はシリコンのホモエピタキシャル成長法

18

等を用いて、単結晶シリコン基板30（以下、単にシリコン基板30とする）の（001）面上に（001）清浄表面を形成する。

【0095】具体的には、シリコン基板30はミスオリエンテーション基板であって、その主面と（001）面との間のミスオリエンテーション角 θ は例えば5°である。ミスオリエンテーション基板であるシリコン基板30に対して、前記の真空中の加熱清浄化法又はシリコンのホモエピタキシャル成長法等による表面処理を行なうと、第1及び第2の実施形態と同様に清浄化されたシリコン基板30の最表面においてシリコン原子の再配列現象が進行する結果、図7（a）に示すように、シリコン基板30の表面に複数のステップ30aと複数のテラス30bとが形成される。

【0096】次に、Si（001）-2×1表面形態を有するシリコン基板30の表面に対して熱酸化を行なう。具体的には、シリコン基板30を乾燥酸素雰囲気中の電気炉において750℃程度に加熱する。このようにすると、前記の熱酸化の初期段階においては、図7（b）に示すように、2原子層程度の高さを有するステップ30a上に結晶質酸化物31、具体的には結晶質二酸化シリコンがエピタキシャル成長する。結晶質酸化物31はステップ30aの結晶構造に対応した結晶構造を有している。また、テラス30b上では結晶質酸化物のエピタキシャル成長は生じない一方、ステップ30a上に形成された結晶質酸化物31がテラス30bの表面に沿ってエピタキシャル成長を続ける結果、テラス30b（上側テラス及び下側テラス）上におけるステップ30aの近傍の部分にも結晶質酸化物31が形成される。

【0097】本実施形態のようにミスオリエンテーション角 θ が5°である場合、ステップ間隔は3nm程度であるため、前記の熱酸化が進むに従って、隣接するステップ30a上に形成された各結晶質酸化物31が互いに連結して、図7（c）に示すように、厚さ1～2nm程度の二次元的に連続した結晶質酸化物膜32Aがシリコン基板30上に形成される。このとき、結晶質酸化物膜32Aの厚さは、エピタキシャル成長時の基板温度又は酸素分圧に依存して決まる一方、結晶質酸化物膜32Aは高々厚さ3～4nm程度までしか成長しない。

【0098】本実施形態においては、結晶質酸化物膜32Aの形成後も引き続き熱酸化つまり酸化処理を継続することによって、図7（d）に示すように、結晶質酸化物膜32Aの上に膜厚4nm程度の非晶質の二酸化シリコン層つまり非晶質酸化物膜32Bを形成する。これにより、結晶質酸化物膜32A及び非晶質酸化物膜32Bの2層構造からなり、第1のゲート絶縁膜となる膜厚7nm程度のトンネル酸化膜33が形成される。

【0099】本実施形態においては、前記の熱酸化条件つまり酸化処理条件を一定に維持した場合にも、トンネル酸化膜33の相が下層（結晶質酸化物膜32A）から

19

上層（非晶質酸化物膜32B）に向けて応力緩和によって自然に結晶質から非晶質に遷移する。しかしながら、この場合も、シリコン基板30とトンネル酸化膜33との界面における結晶格子連続性が保持されるため、該界面の近傍において図3（b）に示すようなエネルギーバンド構造が実現されると共に、該エネルギーバンド構造は、結晶質酸化物膜32Aの上に形成された非晶質酸化物膜32Bによって大きな影響は受けない。また、前記の熱酸化により形成され、結晶質酸化物膜32A及び非晶質酸化物膜32Bの2層構造からなるトンネル酸化膜33の体積膨張がシリコン基板30に及ぼす影響は、通常の熱酸化によってトンネル酸化膜を形成する場合に比較して低減される。

【0100】次に、ピンホール等の酸化膜欠陥を除去するために、トンネル酸化膜33に対して乾燥窒素雰囲気中においてアニール処理を行った後、トンネル酸化膜33上にフローティングゲート用導電性膜、第2のゲート絶縁膜用酸化膜及びコントロールゲート用導電性膜（いずれも図示省略）を順次形成する。尚、第2のゲート絶縁膜用酸化膜は通常の熱酸化法を用いて形成する。その後、ゲート電極形成領域を覆うレジストパターン（図示省略）をマスクとしてトンネル酸化膜33及びフローティングゲート用導電性膜に対して順次エッチングを行なうと、図7（e）に示すように、シリコン基板30上に、トンネル酸化膜33からなる第1のゲート絶縁膜を介してフローティングゲート34を形成する。続いて、第2のゲート絶縁膜用酸化膜及びコントロールゲート用導電性膜に対して順次エッチングを行なうと、図7

（f）に示すように、フローティングゲート34上に、第2のゲート絶縁膜35を介してフローティングゲート34と容量結合されるコントロールゲート36を形成する。その後、通常の不揮発性メモリセルの製造工程と同様の工程を行なうと半導体装置を完成させる。このとき、MOSヘテロ構造の界面の近傍に、つまりシリコン基板30とフローティングゲート34との間に所定の電圧が印加されると、図7（f）に示すように、シリコン基板30におけるトンネル酸化膜33（第1のゲート絶縁膜）との界面の近傍にチャンネル37が形成される。

【0101】図8は、第3の実施形態に係るMOS型ヘテロ構造を備えた半導体装置、具体的には不揮発性メモリセルの平面構成を示している。尚、図8においては、トンネル酸化膜33、フローティングゲート34、第2のゲート絶縁膜35及びコントロールゲート36の図示を省略している。但し、フローティングゲート34とコントロールゲート36とはトランジスタの活性領域上に重なるように配置されているものとする。また、図8において、シリコン基板30の表面に形成されたステップ30aの延びる様子を破線で示している。すなわち、図8において、シリコン基板30上における破線に挟まれた領域はテラス30bを示している。また、各ステップ

20

30aの形状及び各テラス30bの形状は、トンネル酸化膜33の形成後も変化していない。

【0102】図8に示すように、ステップ30aがチャンネル長方向と垂直に交差して延びるように、シリコン基板30におけるソース領域38及びドレイン領域39の位置が規定されて、該位置に不純物ドーパが行なわれている。従って、チャンネル37中のキャリア（電子）はステップ30aを横切りながら、ソース領域38からドレイン領域39に向けて（図8の矢印方向に）走行するので、ステップ30aの近傍で発生したホットエレクトロンがフローティングゲート34へ注入される効率が増大する。このとき、ミスオリエンテーション角 θ が大きくなるに従って、言い換えると、各ステップ30aの高さが高くなるに従って、前記のホットエレクトロンの注入効率は一層増大する。

【0103】第3の実施形態に係るMOS型ヘテロ構造によると、シリコン基板30つまり単結晶シリコン基板の表面にシリコン原子の再配列によって複数のステップ30a及び複数のテラス30bが形成されていると共に、ステップ30a上にエピタキシャル成長した結晶質二酸化シリコン（結晶質酸化物31つまり結晶質酸化物膜32A）を含む絶縁膜（トンネル酸化膜33）がシリコン基板30上に形成されている。このため、絶縁膜の形成時に、シリコン基板30と結晶質酸化物膜32Aとの界面における結晶格子連続性が保持されて、該界面の近傍において大きな応力は生じないので、シリコン基板30中に構造欠陥が発生する事態を抑制できる。従って、第3の実施形態に係るMOS型ヘテロ構造を備えた不揮発性メモリセルによると、第1のゲート絶縁膜となるトンネル酸化膜33の絶縁破壊やチャンネル37中におけるキャリア移動度の劣化等を引き起こす界面準位がシリコン基板30中に生じないので、不揮発性メモリセルの信頼性を向上させることができる共に不揮発性メモリの読み出し／書き込み動作回数を向上させることができる。

【0104】また、第3の実施形態に係るMOS型ヘテロ構造によると、結晶質酸化物膜32Aがシリコン基板30上において二次元的に連続しているため、結晶質酸化物膜32Aつまりトンネル酸化膜33の下層におけるシリコン基板30との界面の近傍に、亜酸化層からなる構造遷移層が形成される事態を防止することができる。従って、第3の実施形態に係るMOS型ヘテロ構造を備えた不揮発性メモリセルによると、第1のゲート絶縁膜となるトンネル酸化膜33におけるシリコン基板30との界面の近傍の結合がホットエレクトロンによって切断される事態が防止される。また、ベンディング現象によって第1のゲート絶縁膜のバンドギャップが減少する事態が防止されるので、第1のゲート絶縁膜の耐圧及び信頼性が向上する。

【0105】尚、第3の実施形態に係るMOS型ヘテロ

21

構造を備えた不揮発性メモリセルにおいて、ステップ30aはチャネル長方向と垂直に交差するように延びていたが、これに限られず、ステップ30aはチャネル長方向と実質的に交差するように延びていることが好ましい。

【0106】また、第1～第3の実施形態に係るMOS型ヘテロ構造において、面方位が(001)のシリコン基板を用いたが、これに限られず、その他の面方位を有するシリコン基板を用いてもよい。特に、Si(111)面のシリコン基板を用いた場合、アルカリ系溶液によるウェット洗浄を用いることによって、超高真空中における加熱清浄化法を用いることなく、シリコン基板の表面に複数のステップと複数のテラスとを形成することができる。また、各テラスの上面を原子レベルで平滑にすることができる。

【0107】

【発明の効果】本発明によると、単結晶シリコン基板上に結晶質二酸化シリコンを含む絶縁膜が形成されているため、単結晶シリコン基板と結晶質二酸化シリコンとの界面における結晶格子連続性が保持されて、該界面の近傍において大きな応力は生じないので、単結晶シリコン基板中に構造欠陥が発生する事態を抑制することができる。また、結晶質二酸化シリコンからなり、単結晶シリコン基板上において二次元的に連続する結晶膜が形成されているため、該結晶膜つまり絶縁膜の少なくとも下層における単結晶シリコン基板との界面の近傍に、亜酸化層からなる構造遷移層が形成される事態を防止することができる。

【図面の簡単な説明】

【図1】(a)～(d)は第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の製造方法の各工程を示す断面図である。

【図2】第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の平面図である。

【図3】(a)は第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置における、シリコン基板と結晶質酸化物膜との界面の近傍の様子を示す図であり、

(b)は該界面の近傍における伝導帯及び価電子帯のエネルギーレベルを示す図である。

【図4】(a)～(c)は第1の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の製造方法により形成しつつあるMOS型ヘテロ構造の界面を、RHEEDを用いて観察した様子を示す図である。

【図5】(a)～(e)は第2の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の製造方法の各工程を示す断面図である。

【図6】第2の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の平面図である。

【図7】(a)～(f)は第3の実施形態に係るMOS

22

型ヘテロ構造を備えた半導体装置の製造方法の各工程を示す断面図である。

【図8】第3の実施形態に係るMOS型ヘテロ構造を備えた半導体装置の平面図である。

【図9】(a)～(d)は従来のMOS型ヘテロ構造を備えた半導体装置の製造方法の各工程を示す断面図である。

【図10】(a)は従来のMOS型ヘテロ構造を備えた半導体装置における、シリコン/熱酸化膜界面の近傍の様子を示す図であり、(b)は該シリコン/熱酸化膜界面の近傍における伝導帯及び価電子帯のエネルギーレベルを示す図である。

【符号の説明】

10 シリコン基板

10a ステップ

10b テラス

11 結晶質酸化物

12 結晶質酸化物膜

13 ゲート電極

14 チャネル

15 ソース領域

16 ドレイン領域

20 シリコン基板

20a ステップ

20b テラス

21 結晶質酸化物

22 結晶質酸化物膜

23 タンタル酸化膜

24 ゲート電極

25 チャネル

26 ソース領域

27 ドレイン領域

30 シリコン基板

30a ステップ

30b テラス

31 結晶質酸化物

32A 結晶質酸化物膜

32B 非晶質酸化物膜

33 トンネル酸化膜

34 フローティングゲート

35 第2のゲート絶縁膜

36 コントロールゲート

37 チャネル

38 ソース領域

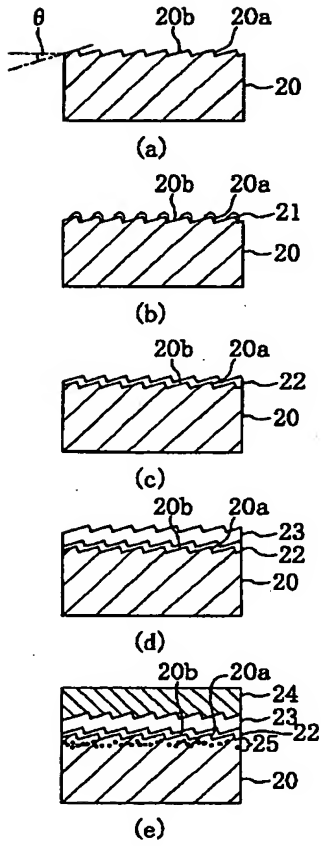
39 ドレイン領域

θ ミスオリエンテーション角

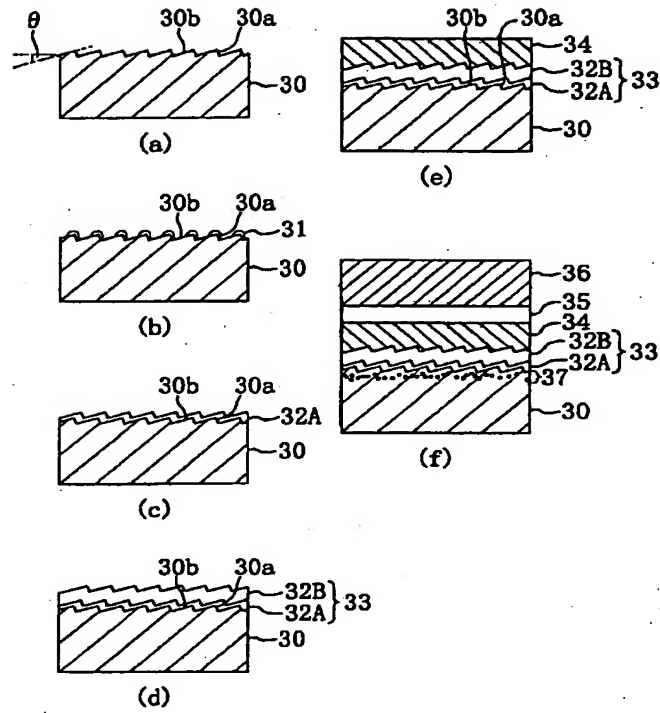
E1 伝導帯のエネルギーレベル

E2 価電子帯のエネルギーレベル

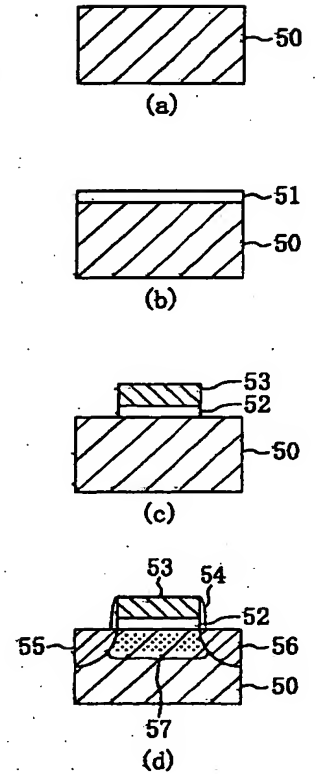
【図5】



【図7】



【図9】



【図10】

